

# KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010059540

(43) Publication Date. 20010706

(21) Application No.1019990067057

(22) Application Date. 19991230

(51) IPC Code:

H01L 21/28

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

KIM, JEONG HO

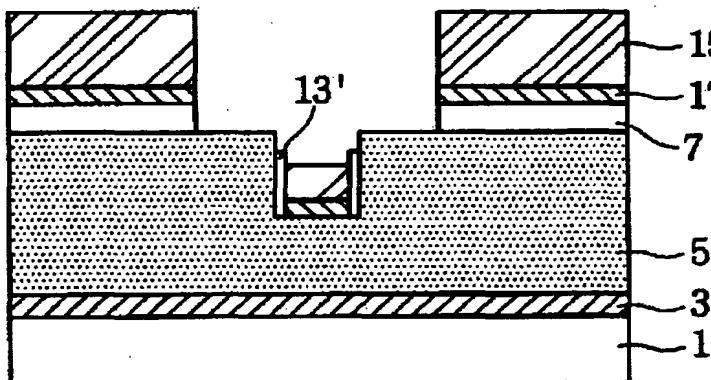
KIM, YU CHANG

(30) Priority:

(54) Title of Invention

METHOD FOR FORMING METAL LINE OF SEMICONDUCTOR DEVICE

Representative drawing



## (57) Abstract:

PURPOSE: A method for forming a metal line of a semiconductor device is provided to simplify a manufacturing process by using an organic material and an inorganic material as an insulating layer.

CONSTITUTION: A nitride layer(3), an organic insulating layer(5), a hard mask oxide layer(7), and an organic anti-reflective layer(17) are formed on a lower metal layer(1). The first mask pattern is formed by applying and patterning a photoresist thereon. The first via contact hole is formed by etching the organic anti-reflective layer, the hard mask oxide layer(7), and the organic insulating layer(5). A post-cleaning process is performed. A nitride layer is deposited thereon. A nitride layer spacer is formed on an inner sidewall of the first via hole. A trench mask pattern(15) is formed by applying and patterning a photoresist thereon. The exposed hard mask oxide is etched by using the trench mask pattern(15). The organic insulating layer(5) is etched and a post-cleaning process is performed. The trench mask pattern(15) is removed. The nitride layer and the

nitride layer spacer are removed.

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51)○Int. Cl. 6

H01L 21 /28

(21) 출원번호 10-1999-0067057

(22) 출원일자 1999년 12월 30일

(71) 출원인 주식회사 하이닉스반도체

(72) 발명자 경기 이천시 부발읍 아미리 산136-1

김유창

경기도 성남시 분당구 정자동 181상 특마을 403-502

김정호

경기도 이천시 대월면 사동리 465 현대아파트 604-1102

(74) 대리인 이우동, 이정훈

설사청구 : 없음

(54) 반도체 소자의 금속배선 형성방법

**요약**

본 발명은 반도체 소자의 금속 배선 형성방법에 관한 것으로, 저유전율의 유기물질을 절연막층으로 적층하고, 상기 절연층을 부분식각하여 비아 틀을 형성한 후, 상기 비아 틀의 측벽에 질화막 또는 산화막 스페이서를 형성하고, 이를 이용하여 비아 콘택트를 형성함으로써 비아 틀의 상부 부위의 프로파일이 경사지지 않게 하고, 비아 틀 저부의 임계지수도 재현성 있게 조절이 가능하도록 하여 반도체 소자의 제조 공정 수를 향상을 도모할 수 있는 기술이다.

**대표도**

도2f

**영세서**

**도면의 간단한 설명**

도 1a 내지 도 1f 는 종래의 방법에 따른 금속배선 형성공정의 일 예를 도시한 단면도

도 2a 내지 도 2h 는 본 발명의 방법에 따른 금속배선 형성공정의 일 실시예를 도시한 단면도

### <도면의 주요 부분에 대한 부호의 설명>

1 : 하부 금속층	3 : 캐핑층(질화막)
5 : 저 유전율의 유기 절연막	7 : 하드 마스크(산화막)
9,17 : 반사 방지막	11,13 : 비아 마스크 패턴
13 : 스페이서 형성용 질화막(산화막)	13' : 스페이서(spacer)

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 금속 배선 형성방법에 관한 것으로, 특히 유전율(Dielectric Constant)이 낮은 유기 물질(Organic Low-k material)로 형성되는 절연층을 부분 식각하여 비아홀(via hole)을 형성한 후, 상기 비아홀의 측벽에 질화막 또는 산화막 스페이서를 형성함에 의해 최종 형성되는 비아홀 탑(top) 부위의 프로파일이 경사지지 않고 비아홀 저부의 임계치수(Critical Demension : 이하 'CD'라 함)를 재현성 있게 조절할 수 있게 함으로써 반도체 소자의 제조공정 수율 및 신뢰성 향상을 도모할 수 있는 반도체 소자의 금속 배선 형성방법에 관한 것이다.

종래의 알루미늄을 금속배선으로 사용하는 층간 절연막 형성 기술은 절연막으로 주로 실리콘 산화막을 사용한다. 상기 실리콘 산화막은 유전상수  $k$  값이 4로서, 선간 캐파시턴스(capacitance)는 거리에 반비례하고 면적에 비례하는데, 종래의 0.16 Tech. 이상 디램 소자의 제조 공정에서 금속 선간 간격이  $0.3\mu m$  이상이었기 때문에 RC 지연 현상이나 크로스-토킹(cross-talking) 현상 등의 원하지 않는 오동작 현상이 없었다.

그러나 0.1Tech. 이하의 소자에서는 금속선간 간격이  $0.3\mu m$  이하로 줄어들기 때문에 금속선간 캐파시턴스가 급격히 증가하고, 이에 따른 상기의 문제점이 심각해져 소자가 제대로 작동하지 않게 된다.

동일한 금속배선 구조에서 선간/층간 캐파시턴스를 줄이기 위해서는 층간 절연막을 저유전율을 갖는 물질로 대체해야 한다. 저유전율막으로는 카본을 함유하는 산화막, 즉  $SiOxCy$  박막을 금속배선위에 형성하고 그 위에 비아 식각시 포토레지스트와 선택비를 갖는 캐핑 산화막(capping oxide)을 증착해야 하는데, 상기  $SiOxCy$  박막과 캐핑 산화막 사이의 접착력이 충분하지 않아 후속 열처리(annealing) 공정 혹은 비아 콘택 형성 공정에서 박막 리프팅(lifting)이나 크랙 등이 발생하게 되어 반도체 소자의 제조 공정 수율을 저하시키게 되는 문제점이 있다.

또한, 금속층간 절연물질로 낮은 유전율질을 사용하는 종래의 대마신 방법(Low-k Damascene Scheme)에서는 식각 베리어(Etch Barrier)를 사용하지 않는 등의 공정이 단순한 장점이 있으나 비아 식각 프로파일(via etch profile)이 경사지고, 비아홀의 저부 CD가 재현성이 없어 조절이 가능하지 않은 단점이 있다.

즉, 첨부된 도면 도 1에 도시되어 있는 바와 같이, 타임드 식각(timed etch)을 진행하였을 경우에 비아홀의 탑 프로파일이 경사지게 되고, 식각시간 및 식각률의 변화에 따라 비아홀의 저부 CD도 증가하거나 감소하게 되는 등의 문제점이 발생한다.

## 발명이 이루고자 하는 기술적 과제

따라서 본 발명은 상기한 종래의 문제점을 해결하기 위한 것으로, 본 발명은 저유전율의 유기율질을 절연막층으로 적용하되, 절화막 또는 산화막 스페이서를 이용함으로써 비아 훈의 상부 부위의 프로파일이 경사지지 않게 하고, 비아 훈 저부의 CD 도 재현성 있게 조절이 가능하도록 하여 반도체 소자의 제조 공정 수율 향상을 도모할 수 있는 반도체 소자의 금속 배선 방법을 제공하는 것을 목적으로 한다.

## 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 방법에 따른 반도체 소자의 금속배선형성방법은,

하부 금속층의 상부에 절화막, 저 유전율의 유기 절연층, 하드 마스크 산화막, 유기 반사방지막을 차례로 형성하는 단계와;

상기 구조 상부에 감광막을 도포한 후 패터닝하여 제1 마스크 패턴을 형성하는 단계와;

상기 제1 마스크 패턴을 마스크로 하여 하부의 유기 반사방지막, 하드 마스크 산화막을 차례로 식각한 후, 저유전율의 유기 절연층의 소정 두께까지 부분 식각하여 제1 비아 훈을 형성하는 단계와;

후- 크리닝을 실시하는 단계와;

상기 구조의 상부에 절화막을 증착한 다음 블랭킷 식각을 진행하여 상기 제1 비아 훈의 내부 측벽에 절화막 스페이서를 형성하는 단계와;

상기 구조 상부에 감광막을 도포한 뒤 패터닝하여 트렌치 마스크 패턴을 형성하는 단계와;

상기 트렌치 마스크 패턴을 이용하여 하부의 노출된 하드 마스크 산화막을 식각하는 단계와;

저 유전율의 유기 절연층을 식각한 후, 후-크리닝하는 단계와;

상부의 트렌치 마스크 패턴을 제거하는 단계와;

메탈 캐핑층인 상기 절화막을 제거하되, 이와 동시에 상기 절화막 스페이서도 함께 제거하는 단계를 포함하는 것을 특징으로 한

또한, 본 발명은 상기의 목적을 달성하기 위해,

하부 금속층의 상부에 절화막, 저 유전율의 유기 절연층, 하드 마스크 산화막, 유기 반사방지막을 차례로 형성하는 단계와;

상기 구조 상부에 감광막을 도포한 후 패터닝하여 제1 마스크 패턴을 형성하는 단계와;

상기 제1 마스크 패턴을 마스크로 하여 하부의 유기 반사방지막, 하드 마스크 산화막, 저유전율의 유기 절연층을 차례로 식각하여 제1 비아 훈을 형성하는 단계와;

후- 크리닝을 실시하는 단계와;

상기 구조의 상부에 절화막을 증착한 다음 블랭킷 식각을 진행하여 상기 제1 비아 훈의 내부 측벽에 절화막 스페이서를

상기 구조 상부에 강광막을 도포한 뒤 패터닝하여 트렌치 마스크 패턴을 형성하는 단계와;

상기 트렌치 마스크 패턴을 이용하여 하부의 노출된 하드 마스크 산화막을 식각하는 단계와;

저 유전율의 유기 절연층을 식각한 후, 후-크리닝하는 단계와;

상부의 트렌치 마스크 패턴을 제거하는 단계와;

메탈 캐핑층인 상기 질화막을 제거하되, 이와 동시에 상기 질화막 스페이서도 함께 제거하는 단계를 포함하는 것을 특징으로 한다.

한편, 상기한 본 발명의 방법에 있어서,

상기 저유전율의 유기 절연물질로 BCB, Flare, SILK 등의  $CxHyOz$  물질을 사용하고,

상기 질화막 스페이서 형성을 위한 블랭킷 식각 공정시, F-베이스의 가스 케미스트리를 이용하여 블랭킷 플라즈마 식각으로 진행하는 것을 특징으로 한다.

또한 상기 스페이서 형성을 위한 종착막의 두께는 50~300 Å로 하는 것을 특징으로 한다.

이하 첨부된 도면을 참조하여 본 발명에 대해 상세히 설명하기로 한다.

도 2a 내지 도 2h는 본 발명의 방법에 따른 금속배선 형성공정의 일실시예를 도시한 단면도이다.

먼저, 도 2a를 참조하면, Al 또는 Cu 등으로 되는 하부 금속층(1)의 상부에 캐핑층(capping layer)으로 질화막(3)을 형성한다.

상기 질화막(3)의 상부로 저 유전율의 유기 절연층(5), 하드 마스크층으로 산화막(7), 유기 반사방지막(9) 차례로 형성된다.

다음, 상기 구조의 상부에 강광막을 도포한 후 패터닝하여 비아 마스크 패턴(11)을 형성한다.

도 2b를 참조하면, 상기 비아 마스크 패턴(11)을 마스크로 하여 하부의 유기 반사방지막(9), 하드 마스크층인 산화막(7), 저유전율의 유기 절연층(5)의 소점 두께까지 식각한 후, 후-크리닝(post cleaning)을 실시한다.

이때 상기 상기 하드 마스크 산화막(7)으로 사용되는 물질로 SiC, SiON 및 SiO 계열의 저 유전율의 비유기 절연물질을 사용할 수 있다. 참고로 상기에서 비유기 절연물질로는 SiOC, SiOF, 실록산 SOG, 실리케이트 SOG, HSQ, MSQ, HOSP, LOSP, FSG 중 임의의 어느 하나이다.

또한, 저 유질율의 유기 절연층(5)의 식각은 후속 공정인 트렌치 마스크를 이용한 식각 공정에서 형성을 트렌치 깊이를 고려하여 적절한 깊이까지 식각한다.

한편, 상기 저 유전율의 유기 절연층(5)의 식각은 본 발명의 다른 실시예(도 3 참조)에서는 하부의 질화막(3)이 노출되기 까지 식각할 수도 있다.

상기에서 상기 저유전율의 유기 절연물질로 BCB, Flare, SILK 등의  $CxHyOz$  물질을 사용하고, 상기 저 유전율의 유기 절연 물질층 식각시 F-베이스의 가스 케미스트리를 사용하는데, 첨가 가스로  $\text{Cl}_2$ ,  $\text{CO}_2$ ,  $\text{N}_2$ ,  $\text{Ar}$  등을 사용한다.

참고로 저 유전율의 비유기 절연물질을 사용할 경우, Q가스는 상기 저 유전율의 비유기 절연물질의 표면 특성을 열화시킬 수 있는 것으로 알려져 있다. 본 발명에 있어서는 힐드 마스크를 사용하여 상기의 저 유질층에 비아 구조의 깊이를 가파르게

/F 비가 작은  $CF_4$ 와 같은  $CxFy$  계열의 가스를 사용하고  $Q$  가스의 양을 크게 하는 것이 유리하다.

다음 도 2c를 참조하면, 상기 구조의 상부에 스페이서 형성용 질화막(13)을 증착한다.

이때 상기 질화막(13) 대신 산화막을 사용할 수도 있음에 따라 스페이서 형성을 위한 증착막의 두께는 50~300Å 가 되게 하여 작은 두께로 하는 것이 바람직하다.

도 2d를 참조하면, 블랭킷 식각을 진행하여 제1 비아 툴(12)의 측벽에 스페이서(13')를 형성한다.

한편, 상기에서 상기 질화막 스페이서(13') 형성을 위한 블랭킷 식각 공정시, F-베이스의 가스 케미스트리를 이용하여 블랭킷 플라즈마 식각으로 진행하고, 상기 F-베이스의 가스 케미스트리는  $CF_4, C_2F_6, C_3F_8, C_4F_8, C_5CF_8, CHF_3F_8, CH_2F, C_2HF_3$  중 임의의 어느 하나의 가스에  $Ar, O_2, N_2, CO$  중 임의의 어느 하나를 혼가한 가스로 한다.

또한, 상기 스페이서 형성을 위해 증착물질로 사용되는 질화막 대신 Ti 또는 TiN 막을 사용할 수도 있으며, Ti 또는 TiN을 이용하여 스페이서를 형성할 경우, Cl<sub>2</sub> 베이스의 가스 케미스트리를 사용하여 블랭킷 플라즈마 식각하여 스페이서를 형성한다.

또한 상기 Ti 또는 TiN 스페이서 제거시에도 역시 Cl<sub>2</sub> 베이스의 가스 케미스트리를 사용하여 제거할 수 있다.

아울러, 상기 스페이서 형성을 위해 증착되는 질화막 대신 비정질 Si 또는 폴리실리콘을 사용할 수도 있으며, 이 경우 역시 Cl<sub>2</sub> 베이스의 가스 케미스트리를 사용하여 제거한다.

도 2e를 참조하면, 상기 구조의 상부에 감광막을 도포한 뒤 패터닝하여 트렌치 마스크 패턴(15)을 형성한다. 이때 상기 트렌치 마스크 패턴(15)은 형성시에도 유기 반사방지막(17)을 사용하며, 특히 상기 트렌치 마스크 패터닝 과정에서 상기 형성된 제1 비아 툴(12)의 내부에 감광막(15)이 잔존하게 되는데, 이것은 초점심도(Depth Of Focus) 마진의 부족에 따른 것으로 식각 공정 측면에서는 후속 트렌치 식각 단계에서 하부 질화막 및 금속층으로의 어택(Attack)을 방지하는 역할을 한다.

도 2f 와 도 2g 를 참조하면, 상기 트렌치 마스크 패턴(15)을 마스크로 하여 하부의 노출된 층을 식각한다. 즉 상부층으로부터 유기 반사방지막(17), 하드 마스크 산화막(7), 저 유전율의 유기 절연층(5)을 차례로 식각한다.

이때, 상기 마드 마스크 산화막(7)의 식각을 진행할 경우, 상기 질화막 스페이서(13')가 후속 공정인 질화막층(3)의 식각 단계에서 제거가 가능할 정도로 상기 도 2f 에 도시된 것처럼 일부 식각되어 작아진 형태로 되어야 한다.

또한 상기 저 유전율의 유기 절연층(5)의 식각시, 형성하고자 하는 트렌치 깊이를 식각 타겟(etch target)으로 설정하여 식각을 진행한다. 물론 비아 콘택이 형성되어 하부층인 질화막층(2)이 노출되어야 한다.

상기 트렌치 마스크 패턴(15)을 이용한 식각공정의 진행 후, 질화막 스페이서(13')가 비아 툴의 상부에 잔존하게 되는데, 이것은 도 2h 에 도시된 바와 같이 하부 질화막(3)을 식각하는 과정에서 제거된다.

상기 도 2g 에서와 같이 대머신 패턴이 형성된 다음에 후-크리닝을 진행한다. 이때 상기 후-크리닝은 저유전율의 유기 절연층(5)을 식각한 후 적용되는 EKC 640, ACT 970, ST 250 등의 습식 케미칼을 사용하여 진행한다.

도 2h를 참조하면, 하부 메탈층 상부의 질화막(3)을 제거하기 위한 식각공정을 진행한다.

이때 상기 과정에서 질화막 스페이서(13')를 함께 제거한다. 하부 금속층(10)인 경우에는 질화막층(3)이 확산 방지막(diffusion barrier)으로서 역할을 할 수 있는 두께이어야 하므로 두께는 변경이 가능하지만, 식각 베리어 산화막의 두께는 질화막 두께의 2배 정도를 유지하는 것이 바람직하다. 이는 질화막층의 두께가 작으므로 과식각 타겟은 100% 정도로 크게 하여야 하고, 식각 베리어 산화막을 전부 제거하기 위해 사하막에 대한 지르하만의 서린도를 1.0 정도가 되는 부분

한편, 상기 도 2g 의 단계에서 후-크리닝 공정을 진행하기 전에 질화막 스페이서(13')를 제거하면 메탈 캐핑층인 하부 질화막(3)이 식각되어 하부 금속층(1)이 노출되면서 메탈성 폴리머가 발생하기 때문에 후-크리닝을 통하여 폴리머 제거가 힘들게 된다.

즉, 저 유전율의 유기 절연층(5) 식각단계에서 발생하는 폴리머와 메탈 캐핑층인 질화막 식각 단계에서 발생하는 폴리머를 분리함으로서 후속 후-크리닝 단계에 성의 폴리머 제거를 효과적으로 할 수 있다.

다음, 질화막층(3)을 식각 한 후, 후-크리닝을 진행한다. 상기 후-크리닝 처리는 저유전율의 유기 절연층을 식각한 후 적용되는 EKC 640, ACT 970, ST 250 등의 습식 케미칼을 사용하여 진행한다.

한편, 상기에서 하드 마스크 산화막으로 저 유전율의 비유기 절연물질을 사용할 경우, F-베이스의 가스 케미스트리를 사용하되, 첨가가스로 O<sub>2</sub>, CO, N<sub>2</sub>, Ar 중 임의의 어느 하나를 사용할 수 있다.

한편, 도 3a 내지 도 3f 는 본 발명의 방법에 따른 금속배선 형성공정의 다른 실시예를 도시한 단면도이다.

상기 도시된 실시예에서는, 저 유전율의 유기 절연층(5)을 식각하는 단계에서 상기 제1 실시예와는 달리 하부층인 질화막(3)이 노출되기까지 식각한다. 그 이후의 공정은 상기 전술한 본 발명의 실시예와 동일한 과정을 거친다.

본 실시예는 저 유전율의 유기 물질을 사용하는 대마신 구조 중에서 식각 베리어가 존재하지 않는 경우에 적용이 가능하다.

#### 발명의 효과

이상 상술한 바와 같이, 비아 출 형성을 위한 비아 패터닝을 진행한 다음, 산화막 또는 질화막 스페이서를 이용하여 비아 출의 프로파일 및 비아 콘택출의 임계치수 조절이 가능하도록 함으로써 종래의 비아 출 형성 공정에 있어서 비아 출의 프로파일이 경사지고 비아 출 저부의 임계치수 불균형의 문제점을 개선할 수 있어 반도체 소자의 제조공정 수율 및 신뢰성을 향상시킬 수 있다.

#### (57) 청구의 범위

청구항 1. 반도체 소자의 금속배선 형성방법에 있어서,

하부 금속층의 상부에 질화막, 저 유전율의 유기 절연층, 하드 마스크 산화막, 유기 반사방지막을 차례로 형성하는 단계와;

상기 구조 상부에 감광막을 도포한 후 패터닝하여 제1 마스크 패턴을 형성하는 단계와;

상기 제1 마스크 패턴을 마스크로 하여 하부의 유기 반사방지막, 하드 마스크 산화막을 차례로 식각한 후, 저유전율의 유기 절연층의 소정 두께까지 부분 식각하여 제1 비아 출을 형성하는 단계와;

후-크리닝을 실시하는 단계와;

상기 구조의 상부에 질화막을 증착한 다음 볼링컷 식각을 진행하여 상기 제1 비아 출의 내부 측벽에 질화막 스페이서를 형성하는 단계와;

상기 트렌치 마스크 패턴을 이용하여 하부의 노출된 하드 마스크 질화막을 식각하는 단계와;

저 유전율의 유기 절연층을 식각한 후, 후-크리닝하는 단계와;

상부의 트렌치 마스크 패턴을 제거하는 단계와;

메탈 캐팅층인 상기 질화막을 제거하되, 이와 동시에 상기 질화막 스페이서도 함께 제거하는 단계를 포함하는 반도체 소자의 금속배선 형성방법

청구항 2. 제 1 항에 있어서

상기 저유전율의 유기 절연물질로 BCB, Flare, SILK 등의  $C_xH_yO_z$  물질을 사용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법

청구항 3. 제 1 항에 있어서

상기 질화막 스페이서 형성을 위한 블랭킷 식각 공정시, F-베이스의 가스 캐미스트리를 이용하여 블랭킷 플라즈마 식각으로 진행하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법

청구항 4. 제 3 항에 있어서

상기 F-베이스의 가스 캐미스트리는  $CF_4$ ,  $C_2F_6$ ,  $C_3F_8$ ,  $C_4F_8$ ,  $C_6CF_6$ ,  $CHF_3F_6$ ,  $CH_2F$ ,  $C_2HF_6$  중 임의의 어느 하나의 가스에  $Ar$ ,  $Q$ ,  $N_2$ ,  $CO$  중 임의의 어느 하나를 첨가한 가스인 것을 특징으로 하는 반도체 소자의 금속배선 형성방법

청구항 5. 제 1 항에 있어서

상기 저유전율의 유기 절연물질층 식각시  $C_xH_y$  및  $NH_3$  베이스의 가스 캐미스트리를 사용하여 식각하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법

청구항 6. 제 1 항에 있어서

상기 스페이서 형성을 위한 중착하는 질화막 대신 Ti, TiN 층 중 임의의 어느 하나를 사용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 7. 제 6 항에 있어서

상기 스페이서 형성을 위해 Ti 또는 TiN을 사용할 경우, Cl 베이스의 가스 캐미스트리를 사용하여 블랭킷 플라즈마 식각하여 Ti 또는 TiN 스페이서를 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 8. 제 6 항 또는 제 7항에 있어서

상기 Ti 또는 TiN 스페이서 제거시, Cl 베이스의 가스 캐미스트리를 사용하여 제거하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 9. 제 1 항에 있어서

청구항 10. 제 9 항에 있어서

상기 Si 스페이서 제거시, Cle 베이스의 가스 케미스트리를 사용하여 제거하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 11. 제 1 항에 있어서

상기 하드 마스크 산화막으로 사용되는 산화막으로 SiQ, SION 및 SiO 계열의 저 유전율의 비유기 절연물질을 사용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 12. 제 11 항에 있어서

상기 비유기 절연물질로는 SiOC, SiOF, 실록산 SOG, 실리케이트 SOG, HSQ, MSQ, HOSP, LOSP, FSG 중 임의의 어느 하나인 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 13. 제 1 항, 제6 항, 제 9항중 임의의 어느 한 항에 있어서

상기 스페이서 형성을 위한 증착막의 두께는 50~300Å로 하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 14. 제 11 항에 있어서

상기 하드 마스크 산화막으로 저 유전율의 비유기 절연물질을 사용할 경우, F-베이스의 가스 케미스트리를 사용하되, 첨가가스로 O<sub>2</sub>, CO, N<sub>2</sub>, Ar 중 임의의 어느 하나를 사용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법

청구항 15. 반도체 소자의 금속배선 형성방법에 있어서,

하부 금속층의 상부에 질화막, 저 유전율의 유기 절연층, 하드 마스크 산화막, 유기 반사방지막을 차례로 형성하는 단계와;

상기 구조 상부에 감광막을 도포한 후 패터닝하여 제1 마스크 패턴을 형성하는 단계와;

상기 제1 마스크 패턴을 마스크로 하여 하부의 유기 반사방지막, 하드 마스크 산화막, 저유전율의 유기 절연층을 차례로 식각하여 제1 비아 훈을 형성하는 단계와;

후- 크리닝을 실시하는 단계와;

상기 구조의 상부에 질화막을 증착한 다음 블랭킷 식각을 진행하여 상기 제1 비아 훈의 내부 측벽에 질화막 스페이서를 형성하는 단계와;

상기 구조 상부에 감광막을 도포한 뒤 패터닝하여 트렌치 마스크 패턴을 형성하는 단계와;

상기 트렌치 마스크 패턴을 이용하여 하부의 노출된 하드 마스크 산화막을 식각하는 단계와;

저 유전율의 유기 절연층을 식각한 후, 후-크리닝하는 단계와;

상부의 트렌치 마스크 패턴을 제거하는 단계와;

메탈 캐핑층인 상기 질화막을 제거하되, 이와 동시에 상기 질화막 스페이서도 함께 제거하는 단계를 포함하는 반도체 소

청구항 16. 제 15 항에 있어서

상기 저유전율의 유기 절연물질로 BC8, Flare, SILK 등의  $C_xH_yO_z$  물질을 사용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법

청구항 17. 제 15 항에 있어서

상기 질화막 스페이서 형성을 위한 블랭킷 식각 공정시, F-베이스의 가스 케미스트리를 이용하여 블랭킷 플라즈마 식각으로 진행하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법

청구항 18. 제 17 항에 있어서

상기 F-베이스의 가스 케미스트리는  $CF_4$ ,  $C_2F_6$ ,  $C_2F_8$ ,  $C_4F_8$ ,  $C_2CF_6$ ,  $CHF_3F_6$ ,  $CH_3F$ ,  $C_2HF_5$  중 임의의 어느 하나의 가스에 Ar, O<sub>2</sub>, N<sub>2</sub>, CO 중 임의의 어느 하나를 첨가한 가스인 것을 특징으로 하는 반도체 소자의 금속배선 형성방법

청구항 19. 제 15 항에 있어서

상기 저유전율의 유기 절연물질층 식각시  $C_xHy$  및  $NH_3$  베이스의 가스 케미스트리를 사용하여 식각하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법

청구항 20. 제 15항에 있어서

상기 스페이서 형성을 위한 종착하는 질화막 대신 Ti, TiN 층 중 임의의 어느 하나를 사용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 21. 제 20 항에 있어서

상기 스페이서 형성을 위해 Ti 또는 TiN을 사용할 경우, Cl<sub>2</sub> 베이스의 가스 케미스트리를 사용하여 블랭킷 플라즈마 식각하여 Ti 또는 TiN 스페이서를 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 22. 제 20 항 또는 제 21항에 있어서

상기 Ti 또는 TiN 스페이서 제거시, Cl<sub>2</sub> 베이스의 가스 케미스트리를 사용하여 제거하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 23. 제 15 항에 있어서

상기 스페이서 형성을 위해 종착하는 질화막 대신 비정질 Si 또는 폴리실리콘을 사용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 24. 제 23 항에 있어서

상기 Si 스페이서 제거시, Cl<sub>2</sub> 베이스의 가스 케미스트리를 사용하여 제거하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 25. 제 15 항에 있어서

상기 하드 마스크 산화막으로 사용되는 산화막으로 SiO, SiON 및 SiO 계열의 저 유전율의 비유기 절연물질을 사용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 26. 제 25 항에 있어서

상기 비유기 절연물질로는 SiOC, SiOF, 실록산 SOG, 실리케이트 SOG, HSQ, MSQ, HOSP, LOSP, FSG 중 임의의 어느 하나인 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 27. 제 15 항, 제 20 항, 제 23 항 중 임의의 어느 한 항에 있어서

상기 스페이서 형성을 위한 중착막의 두께는 50~300Å로 하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 28. 제 15 항, 제 20 항, 제 23 항 중 임의의 어느 한 항에 있어서

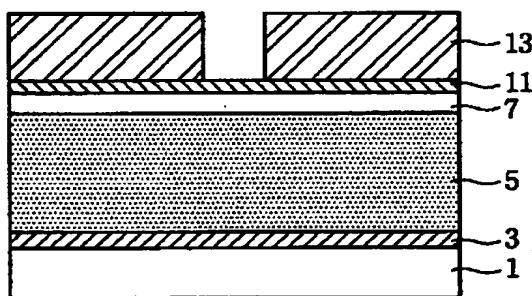
상기 스페이서 형성을 위한 중착막의 두께는 50~300Å로 하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 29. 제 25 항에 있어서

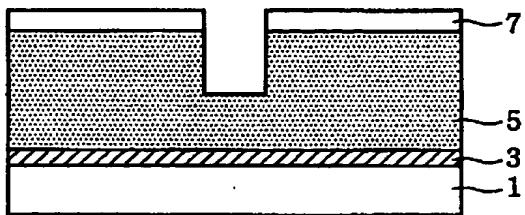
상기 하드 마스크 산화막으로 저 유전율의 비유기 절연물질을 사용할 경우, F-베이스의 가스 케미스트리를 사용하되, 첨가가스로 O<sub>2</sub>, CO, N<sub>2</sub>, Ar 중 임의의 어느 하나를 사용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법

## 도면

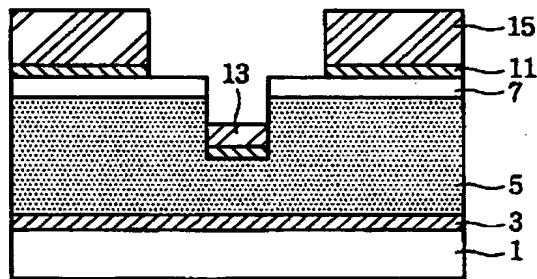
도면 1a



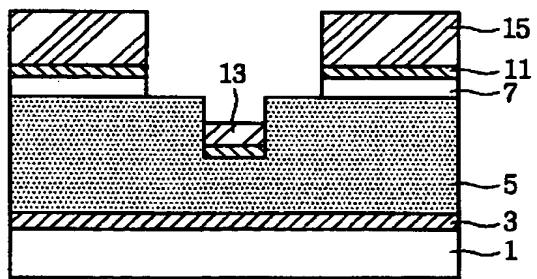
도면 1b



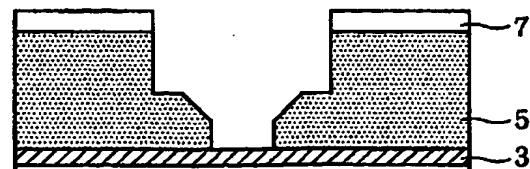
도면 1c



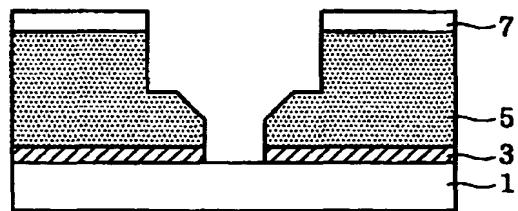
도면 1d



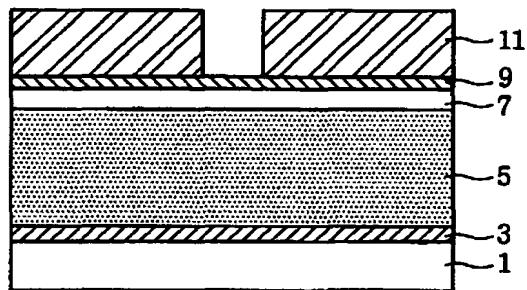
도면 1e



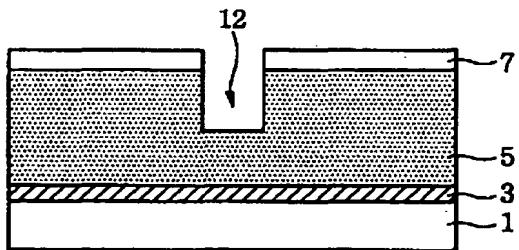
도면1f



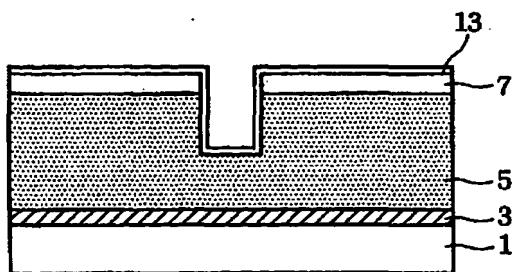
도면2a



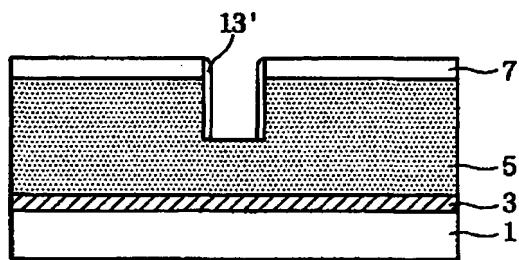
도면2b



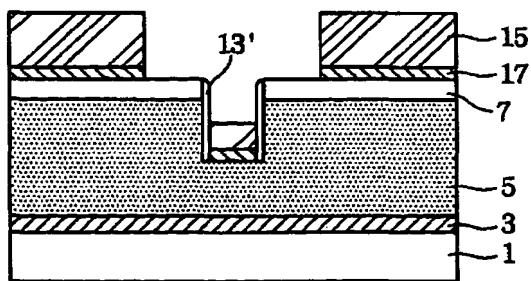
도면2c



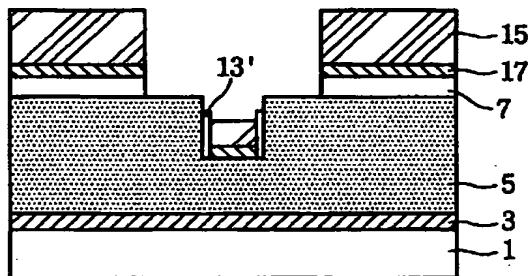
도면2d



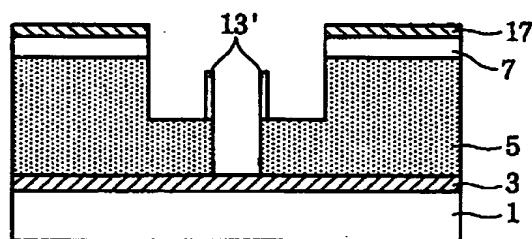
도면2e



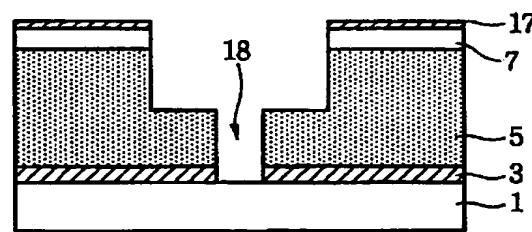
도면2f



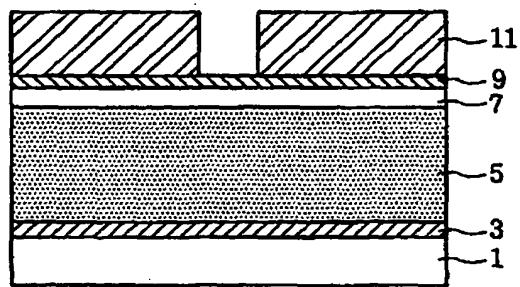
도면 2g



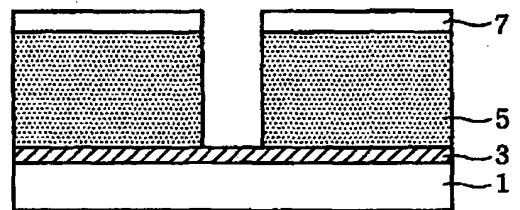
도면 2h



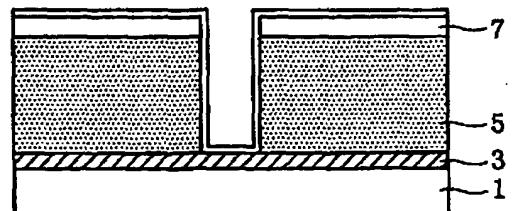
도면 3a



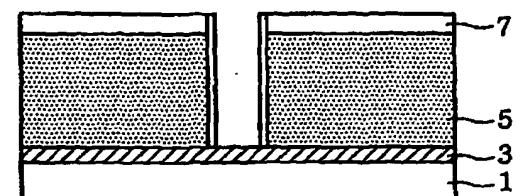
도면3b



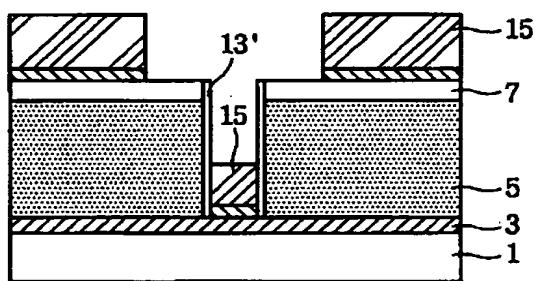
도면3c



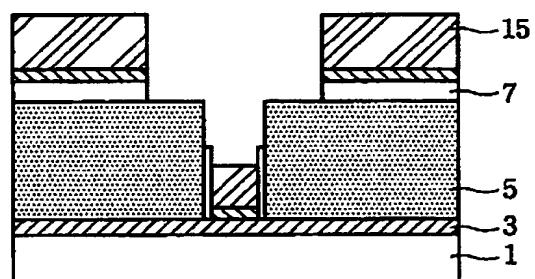
도면3d



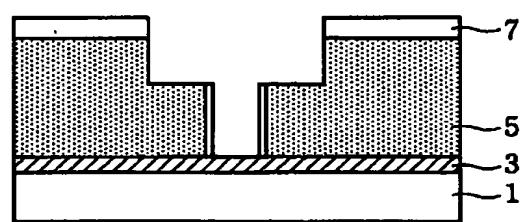
도면3e



도면3f



도면3g



도면3h

